

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑫ 公開特許公報 (A)

昭61-216364

⑬ Int.Cl.⁴H 01 L 29/78
21/22

識別記号

厅内整理番号

8422-5F
7738-5F

⑭ 公開 昭和61年(1986)9月26日

審査請求 有 発明の数 1 (全 5 頁)

⑮ 発明の名称 半導体装置

⑯ 特願 昭60-57416

⑯ 出願 昭60(1985)3月20日

⑰ 発明者 吉田 俊彦 川崎市中原区上小田中1015番地 富士通株式会社内

⑰ 発明者 稲葉 透 川崎市中原区上小田中1015番地 富士通株式会社内

⑰ 出願人 富士通株式会社 川崎市中原区上小田中1015番地

⑰ 代理人 弁理士 松岡 宏四郎

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) MIS FETにおいて、そのソース・ドレインが、ゲート電極の端よりソース・ドレイン部に半導体基板と逆導電型の不純物を導入してなる第1不純物層、上記ゲート電極端より、セルフ・アラインにより一定距離離れて形成された点よりソース・ドレイン部に上記第1不純物層の不純物よりも拡散係数の大なる基板と逆導電型の不純物を導入してなる第2不純物層、上記点からソース・ドレイン部に上記第1と第2の不純物層に比し高濃度でかつ第2不純物層の不純物よりも拡散係数の小さい基板と逆導電型の不純物を導入してなる第3不純物層とから成ることを特徴とする半導体装置。

(2) 上記第1不純物層と半導体基板とで形成される接合面と、上記第2不純物層と基板とで形成される接合面とが上記ゲート電極端近傍のソース・ドレイン端においてほぼ接する構造をもつことを

特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置、より詳しくは、NチャネルMISトランジスタにおいて、ホット・エレクトロン防止のためゲート端より低濃度の砒素イオン (As^{+3}) を導入した後に、例えば絶縁膜でゲート電極の側部にサイド・ウォールを形成し、このサイド・ウォールの端から低濃度のりんイオン (P^{+}) と高濃度の As^{+3} を導入して形成したソース/ドレイン構造をもつ半導体装置に関する。

(従来の技術)

電子の微細化に伴いMIS FETのゲート電極の長さも微小化されてきているが、現在のところ電子の電源電圧は一般に5Vに保たれそれが低下せしめられる傾向はない。そのため特にNチャンネルMIS FETにおいて、トランジスタのドレイン電界が従来より一層高くなり、この高電界によって加速された電子の一部がゲート酸化膜に注入され

る(チャネル・ホット・エレクトロン、channel hot electron) 現象や衝突電離の結果生じた電子の一一部も注入される(アバランシェ・ホット・エレクトロン、avalanche hot electron) 現象が発生し、素子の経時的特性劣化を生ずる問題が知られている。

上記したホット・エレクトロン対策としては、従来、(a) As^+ と P^+ の二重拡散ドレイン構造、(b) 低濃度拡散ドレイン (Lightly Doped Drain, LDD) 構造が提案された。

As^+ と P^+ の二重拡散構造を第4図(a)の断面図を参照して説明すると、p型半導体基板41上には酸化膜42とゲート電極43が形成されている。先ず、 As^+ を次いで P^+ をイオン注入し、活性化のためのアニールを行って n^+ 型層44と n^- 型層45を作ったところ、ホット・エレクトロンに対しては抑制効果があった。なお、同図において、SとDはソースとドレイン、Gはゲート電極を現す。

LDD構造は第5図の断面図に示され、図において、51はp型半導体基板、52はゲート酸化膜、53

はゲート電極、54はサイドウォール、55と56は As^+ のイオン注入と活性化アニールによって形成された n^- 型層と n^+ 型層をそれぞれ示す。この構造もまたホット・エレクトロンに対して有効であることが判明した。

(発明が解決しようとする問題点)

第4図(b)に示した As^+ と P^+ の二重拡散構造において、活性化の後のアニールの後において、 P^+ の拡散係数は As^+ の拡散係数に比してかなり大であるために図示の如き n^+ 型層と n^- 型層とが形成されたものである。そして、 As^+ の拡散ではステップジャンクション(階段接合)が形成され、従来は図に46で示す部分に電界が集中し、前記したホット・エレクトロンの問題が発生したのである。ところで、 n^- 型層45を設けることによって電界は符号47で示す部分に移り、しかも P^+ の拡散ではグレーデッド(graded) ジャンクション(傾斜接合)が形成されるので、部分47における電界集中は部分46における電界集中に比べてかなり緩和されたのである。

ここでチャネル長について考察すると、従来の部分46のエッジ(縁)部分の間に形成されたチャネルの長さC1は二重拡散構造においては部分47のエッジ部分の間の長さC2に減少し、このような短チャネルをもったトランジスタは扱い方が難しくなる問題がある。更に、第4図(b)の構造においては、 n^- 型層45の P^+ 濃度によってPETの特性が決定され、 P^+ の濃度が低いと図に48で示す抵抗が形成され、その結果、第4図(b)の素子の等価回路図は同図(b)に示される如くになり、素子のコンダクタンス(9m)を上げられず、一方 P^+ の濃度が高いときはソース・ドレイン耐圧が下がる問題がある。

第5図に示したLDD構造においては、最初に低濃度の As^+ をイオン注入して n^- 型層58を作ったものであり、不純物の拡散深さは不純物濃度の平方根によって決められるため図示の構造が得られた。そして符号57の部分で発生するチャネル・ホット・エレクトロンに対しては有効であるが、高電界により基板の深いところ(図に58で示す)で

発生した電子が加速されゲート酸化膜に入るアバランシェ・ホット・エレクトロンに対しては効果がないこと、加えて、二重拡散構造の場合と同様に n^- が上がらない問題も解決されないことが問題となっている。

(問題点を解決するための手段)

本発明は上記問題点を解消した半導体装置を提供するもので、その手段は、MIS PETにおいて、そのソース・ドレインが、ゲート電極の端よりソース・ドレイン部に半導体基板と逆導電型の不純物を導入してなる第1不純物層、上記ゲート電極端より、セルフ・アラインにより一定距離離れて形成された点よりソース・ドレイン部に上記第1不純物層の不純物よりも拡散係数の大なる基板と逆導電型の不純物を導入してなる第2不純物層、上記点からソース・ドレイン部に上記第1と第2の不純物層に比し高濃度でかつ第2不純物層の不純物よりも拡散係数の小さい基板と逆導電型の不純物を導入してなる第3不純物層とから成ることを特徴とする半導体装置によってなされる。

〔作用〕

上記装置においては、 P^+ のイオン注入によって低濃度の拡散層は傾斜接合になっているので電界集中が緩和されてホット・エレクトロン対策として有効であり、ソース側の抵抗は2つの低濃度拡散層の抵抗を並列に接続したと同じになって絶対的な抵抗が下がりトランジスタの β_m が上げられる。さらに P^+ のイオン注入によって形成された拡散層は前記の如くに傾斜接合になっているので、ソース／ドレイン部の空乏層が拡がり易くなりソース／ドレイン部の容量が減少する。このため、高速動作に有利となるのである。

〔実施例〕

以下、図面を参照して本発明実施例を詳細に説明する。

本発明実施例であるnチャネルMIS FETの原理を説明するための図は第1図(a)に断面図で示され、同図において、11はp型半導体基板(それはp型ウエルであってもよい)、12はn⁻型層、13はゲート電極、14は絶縁物で作られたサイドウォール、

15は第1のn⁻型層(n₁⁻層)、16は第2のn⁻型層(n₂⁻層)、をそれぞれ示す。図示のMIS FETのソース／ドレインはゲート端Aから拡散された低濃度のn₁⁻層と、サイドウォール端Bから不純物を導入してなる低濃度n₂⁻層および高濃度n⁺型層とから成るものであって、従来例の場合と同様に電界集中はn₁⁻層とn₂⁻層との重なった部分に発生し、n₂⁻層は傾斜接合になっているので、電界集中が緩和され、ホットエレクトロンに対し未対策の例に比べ、特性劣化が約2桁改善された。また、n₂⁻層が傾斜接合になっているのでソース／ドレイン部の容量が減少し、素子の速度が向上する。

ソース側の抵抗は、第1図(b)の素子の等価回路図である同図(c)に示される如く、n₁⁻層とn₂⁻層とが併存することによって2つの抵抗が並列に接続された場合と同様になり抵抗が下がって、トランジスタの β_m が向上する。

本発明の第1実施例を作る方法を第2図の断面図を参照して説明する。

第2図(a)参照：

p型半導体基板(またはp型ウエル)11(Na₄ 10⁻¹⁵ ~ 10⁻⁴ cm⁻³)にフィールド酸化膜12、ゲート酸化膜13、p⁺型のチャネルカット14を形成した後に、MISトランジスタ・ゲート電極(以下ゲートという)15を2000~5000Åの膜厚に形成する。ゲートは、多結晶シリコン(ポリシリコン)、高融点メタル、高融点メタルシリサイド、ポリサイドのいずれかで作る。次いで、第1の低濃度のn⁻型層すなわちn₁⁻層16(第1の不純物層)を作るために、As⁺を60~120KeVの加速エネルギー、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{15}$ cm⁻²でイオン注入する。

第2図(b)参照：

絶縁物を500~5000Åの膜厚に成長して絶縁物層17を形成する。絶縁物は、化学気相成長二酸化シリコン(CVD SiO₂)、窒化シリコン(Si₃N₄)、プラズマ SiO₂またはSi₃N₄等のものとする。

次に、絶縁物がCVD・SiO₂の場合は圧力0.1~0.2 Torrの下でCHF₃ガスまたはCHF₃+CF₄混

合ガスを用いるリアクティブ・イオン・エッチング(reactive ion etching, RIE)によって絶縁物層17を全面エッチングしてサイド・ウォール17aを作る。前記した絶縁物の成長において、絶縁物は点線で示す如くに、すなわちゲートの上方端部のまわりは各端部を中心に円を画く場合の如くに成長し、ゲートの端部近くでは他の部分よりも厚く成長しているので、スパッターしながら矢印に示す如く削って行く異方性のRIEにおいては、基板とゲートの平坦部の上の絶縁物がすべて削られた時点でサイド・ウォール17aが図示の如く残るのである。

第2図(c)参照：

第2の低濃度のn⁻型層すなわちn₂⁻層(第2の不純物層)18を作るため、P⁺を60~80KeVの加速エネルギー、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{15}$ cm⁻²でイオン注入する。次いで、高濃度のn⁺型層(n⁺層)19(第3の不純物層)を作るために、As⁺を60~120 KeVの加速エネルギー、ドーズ量 $3 \times 10^{15} \sim 5 \times 10^{15}$ cm⁻²でイオン

注入する。前記したサイド・ウォールの形成とその後の不純物導入はセルフ・アライン技術で実施される利点がある。

第2回(4)参照：

活性化アニールを900°C～1100°Cの温度、不活性ガス雰囲気中で行い、通常の電極形成工程で絶縁膜20(PSGまたはBSGを用いる)、Al電極21a, 21b, 21cを形成する。

本発明の第2の実施例は第3回の断面図に示される工程によって作る。なお第3回において、第2回に示した部分と同じ部分は同一符号を付して表示する。

第3回(4)参照：

p型半導体基板(またはp型ウエル)11に第1の実施例の場合と同様にフィールド酸化膜12、ゲート酸化膜13、p型チャネルカット14を形成する。ゲート電極15は2000～5000Åの膜厚に、また幅は太目に、すなわち1.5～2.0μmに第1の実施例の場合と同じ材料で形成する。ゲート電極のバターニングには500～2000Åの膜厚の例えばマスク

度で活性化アニールを行う。

第3回(4)参照：

以下通常の電極形成工程で、PSG(またはBSG)膜20、Al電極21a, 21b, 21cを形成する。

上記の説明から理解される如く、第2の実施例においては、第1と第2の不純物層を形成する順序が逆になっている点と、サイド・ウォールの形成に代えてサイドエッティングを行う点が異なる。なお、サイド・エッティングとそれに続く不純物導入は第1実施例の場合と同様セルフアライン技術で行う。

(発明の効果)

以上説明したように本発明によれば、ホット・エレクトロン対策として未対策素子に比べ特性劣化が約2倍向上され、ソース側の抵抗はn₁⁻層とn₂⁻層の存在によって減少されトランジスタのgmが向上され、n₂⁻層が傾斜接合になっているのでソース/ドレイン部の空乏層が拡がり易くなり、ソース/ドレイン部容量が減少し素子の速度が向上する効果がある。

用CVD SiO₂膜22を用い、バターニング後この膜22は図示の如く残しておく。低濃度n₁⁻層(第2の不純物層)18を作るためP⁺を60～80KeVの加速エネルギー、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。更に、高濃度n⁺層(第3の不純物層)19を作るためAs⁺を60～120KeVの加速エネルギー、ドーズ量 $3 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。

第3回(4)参照：

ゲート電極15のサイドエッティングを行い、片側を1000～4000Åそれぞれ削りとる。このサイドエッティングは、ゲート電極をポリシリコンで作った場合、CF₄+O₂(5%)のガスを用いるプラズマエッティングで行う。

第3回(4)参照：

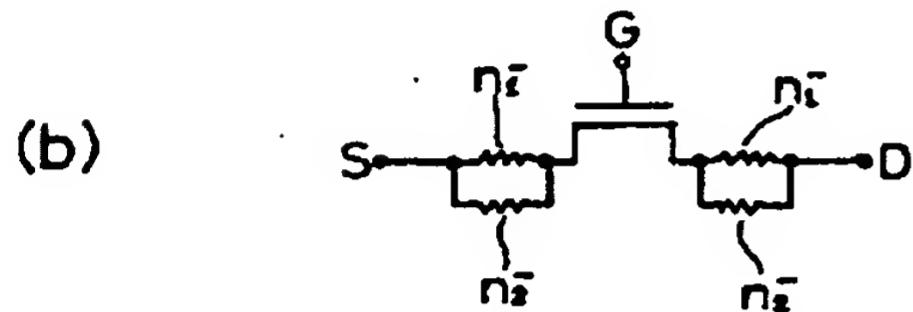
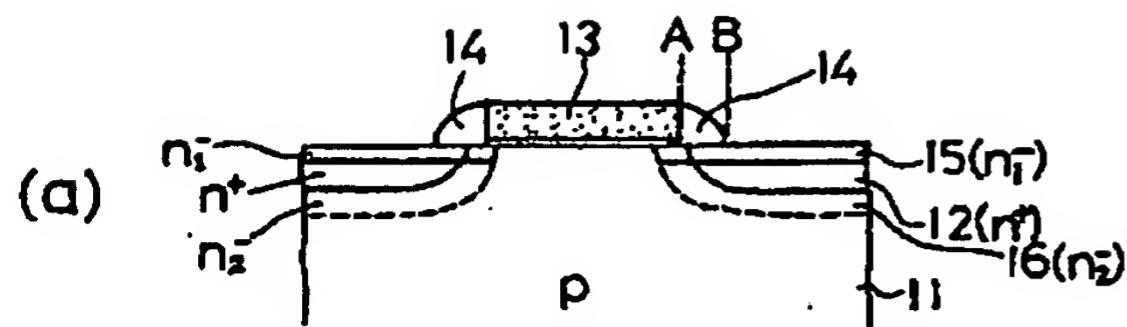
マスク用のCVD SiO₂膜22を除去し、低濃度n₁⁻層16(第1の不純物層)を作るためAs⁺を60～120KeVの加速エネルギー、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。しかし後ろに、不活性ガス雰囲気中900～1100°Cの温

4. 図面の簡単な説明

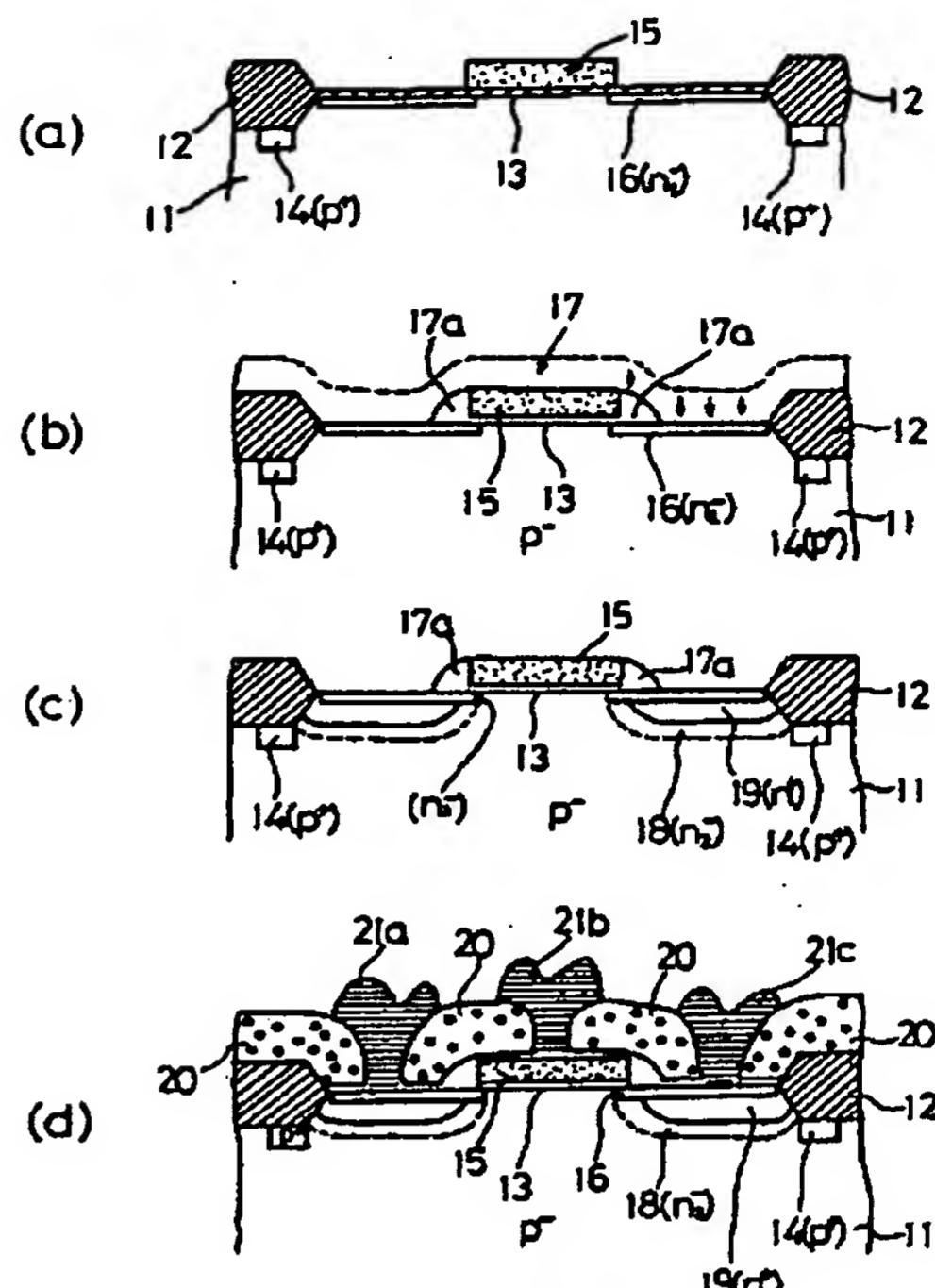
第1回(a)は本発明実施例の原理を示すための断面図、同回(b)は(a)に示す素子の等価回路図、第2回と第3回の(b)ないし(c)はそれぞれ本発明の第1と第2の実施例の工程を示す断面図、第4回(a)は従来例の断面図、同回(b)は(a)に示す素子の等価回路図、第5回は他の従来例の断面図である。

図中、11はp型半導体基板、12はフィールド酸化膜、13はゲート酸化膜、14はp⁺型チャネルカット、15はゲート電極、16はn₁⁻層、17は絶縁膜、17aはサイド・ウォール、18はn₂⁻層、19はn⁺層、20は絶縁膜、21a, 21b, 21cはAl電極、22はマスク用CVD SiO₂膜、をそれぞれ示す。

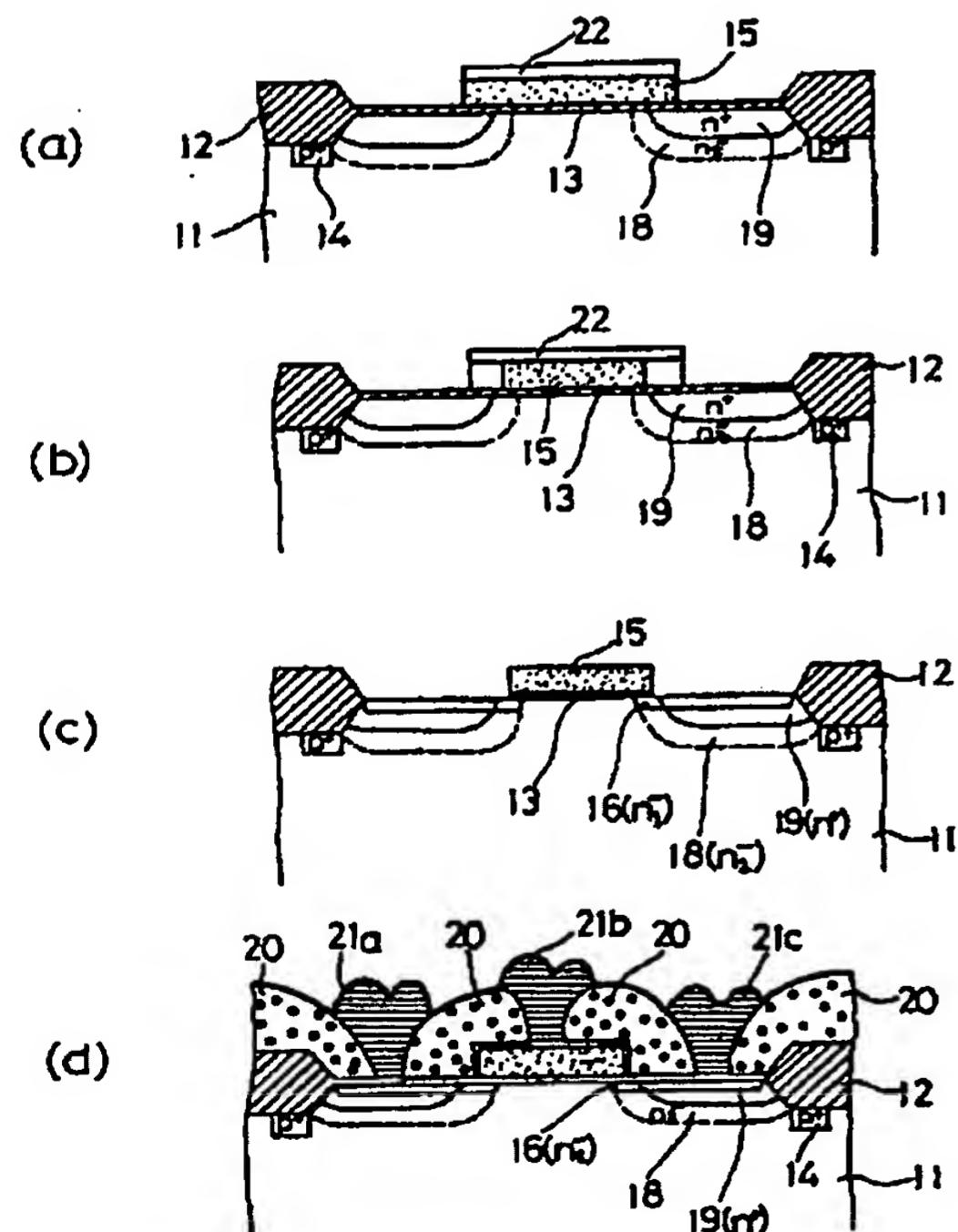
特許出願人 富士通株式会社
代理人 弁理士 松岡宏四郎



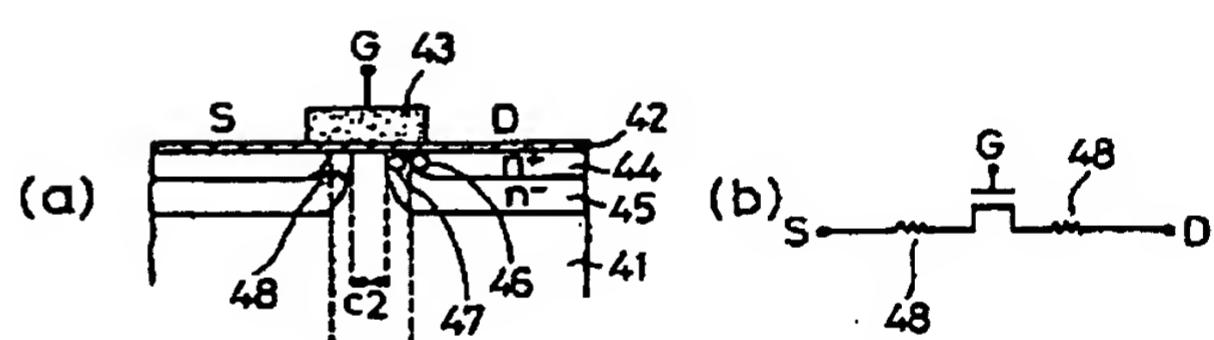
第1図



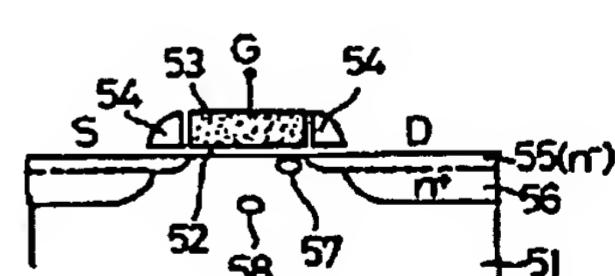
第2図



第3図



第4図



第5図